

CLIPPEDIMAGE= JP404241468A
PAT-NO: JP404241468A
DOCUMENT-IDENTIFIER: JP 04241468 A
TITLE: ELECTRICALLY ERASABLE NON-VOLATILE SEMICONDUCTOR
MEMORY DEVICE AND
MANUFACTURE THEREOF

PUBN-DATE: August 28, 1992

INVENTOR-INFORMATION:
NAME
YOSHIMI, MASANORI

ASSIGNEE-INFORMATION:
NAME
SHARP CORP

	COUNTRY
	N/A

APPL-NO: JP03014822
APPL-DATE: January 14, 1991

INT-CL (IPC): H01L029/788; H01L029/792 ; H01L027/115
US-CL-CURRENT: 257/315

ABSTRACT:

PURPOSE: To embody further reduction and higher integration by reducing an erase gate occupancy area of an electrically erasable non-volatile semiconductor memory device (EEPROM) which is provided with a floating gate, a control gate, and an erase gate on an MOS type transistor device.

CONSTITUTION: The sides of a floating gate FG are coated with an erasable insulation film 13, thereby forming a control gate CG and further forming an erase gate 15 on the side of the FG in a self-matching manner by way of the erasable insulation film 13. Since the erase gate is formed on the side of the floating gate, it is possible to reduce an occupancy area.

COPYRIGHT: (C)1992, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-241468

(43) 公開日 平成4年(1992)8月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		7377-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
審査請求 未請求 請求項の数2 (全 5 頁)				

(21) 出願番号 特願平3-14822

(22) 出願日 平成3年(1991)1月14日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シャープ

株式会社内

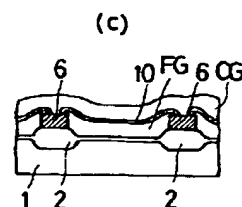
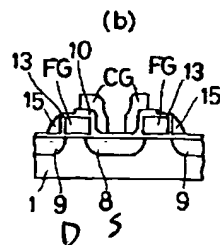
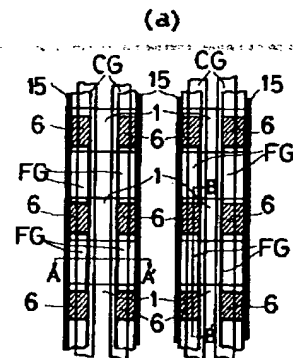
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 電氣的消去可能不揮発性半導体記憶装置及びその製造方法

(57) 【要約】 (修正有)

【目的】 MOS型トランジスタ素子上にフローティングゲート、コントロールゲート、及びイレースゲートを備える電氣的消去可能不揮発性半導体記憶装置 (EEPROM) のイレースゲート占有面積を減少することにより、縮小化、高集積化を図る

【構成】 フローティングゲートFGの側面を消去用絶縁膜13で被膜し、コントロールゲートCGを形成すると同時にFGの側部に消去用絶縁膜13を介してイレースゲート15を自己整合的に形成する。イレースゲートがフローティングゲートの側部に形成されるため占有面積の縮小が可能となる。



1

【特許請求の範囲】

【請求項1】 MOS型トランジスタ素子上にフローティングゲート、コントロールゲート及びイレースゲートを備えてなり、このイレースゲートが上記フローティングゲートを取り囲む絶縁膜の側壁部を介して該フローティングゲートの側部に形成配置されてなる電氣的消去可能不揮発性半導体記憶装置。

【請求項2】 MOS型トランジスタ素子上にフローティングゲート、コントロールゲート及びイレースゲートを備えた不揮発性半導体記憶装置を製造することからなり、上記フローティングゲート及びその表面絶縁膜を形成後、金属の堆積・エッチングを行って、このフローティングゲート側面に金属層を残存形成することからなる請求項1の電氣的消去可能不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、電氣的消去可能不揮発性半導体記憶装置（以下、EEPROM）およびその製造方法に関する。さらに詳しくは、高集積化に適したEEPROM及びその製造方法に関する。

【0002】

【従来の技術】 最近、不揮発性半導体記憶装置のうちで電氣的に消去できるEEPROM（Electrically Erasable Programmable ROM）が注目を集めている。

【0003】 そして、かかるEEPROMのうちMOS型トランジスタ素子のチャネル領域上にトンネル酸化膜を有するゲート酸化膜を介してフローティングゲートを形成すると共に、このフローティングゲート上に絶縁膜を介してコントロールゲート及びイレース（消去用）ゲートを並列配置した構造からなる素子が、高集積化用のEEPROMとして知られている。

【0004】

【発明が解決しようとする課題】 上記EEPROMにおける各ゲートは個々にフォトリソグラフィ技術を用いて形成される。そしてことに、フローティングゲート上に並設されるコントロールゲートとイレースゲートはフォトリソグラフィによって一定の間隔をもって同時パターンニングした後エッチングして形成されていた。

【0005】 従って、EEPROMの高集積化や縮小化のためには、これらのゲート面積をできるだけ減少させることが必要であり、ことにその機能上、イレースゲートの面積を減少させることが考えられる。

【0006】 しかしながら、現在のフォトリソグラフィによるパターン微細化には限度があるため、著しく縮小化されたイレースゲートを得ることが困難であり、このことが、EEPROMの更なる高集積化、縮小化への一つの障害となっていた。

【0007】 この発明はかかる状況下なされたものであり、ことに高集積化、縮小化を可能とするEEPROM

2

を提供しようとするものである。

【0008】

【課題を解決するための手段】 かくしてこの発明によれば、MOS型トランジスタ素子上にフローティングゲート、コントロールゲート及びイレースゲートを備えてなり、このイレースゲートが上記フローティングゲートを取り囲む絶縁膜の側壁部を介して該フローティングゲートの側部に形成配置されてなる電氣的消去可能不揮発性半導体記憶装置が提供される。さらにこの発明によれば、MOS型トランジスタ素子上にフローティングゲート、コントロールゲート及びイレースゲートを備えた不揮発性半導体記憶装置を製造することからなり、上記フローティングゲート及びその表面絶縁膜を形成後、金属の堆積・エッチングを行って、このフローティングゲート側面に金属層を残存形成することからなる電氣的消去可能不揮発性半導体記憶装置の製造方法が提供される。

【0009】

【作用】 この発明のEEPROMによれば、イレースゲートがフローティングゲートの側部に形成配置されているため、MOS型トランジスタ素子表面での専有面積が著しく縮小化される。そして、かかるイレースゲートは、上記側部に自己整合的に形成できるものであるため、複雑な製造工程を要しない。

【0010】

【実施例】 以下、この発明のEEPROMの製造実施例について、図面に従って説明する。まず、図1に示すように半導体基板1上に、ロソ酸化法により、一定の間隔でフィールド酸化膜2を形成した後、その間の表面上に熱酸化によりゲート酸化膜3を形成し、次いでフローティングゲート形成用の不純物拡散（リン又は砒素）されたポリシリコンパターン4を形成する。

【0011】 次に、図2に示すように、全面にHTO（High Temperature Oxide）膜6の形成（SiH₄とN₂Oを用いた850℃のLPCVD法で形成）並びにSOG膜5の形成を行った後、エッチバックすることにより、ポリシリコンパターン4間にHTO層6を埋め込み形成する。

【0012】 次いで、図3に示すように、フローティングゲートのゲート長を決定すべく、フローティングゲート形成用フォトレジスト7を用いたフォトリソグラフィによって不要なポリシリコン4及びHTO膜6をエッチング除去することによりポリシリコンからなるフローティングゲート（FG）（図4）を構成する。

【0013】 次に、図4に示すように、ソース8・ドレイン9形成のための砒素イオンを注入後、フローティングゲート（FG）とコントロールゲートとを隔離するための層間絶縁膜10を熱酸化又はCVD法（ONO膜）により形成する。

【0014】 次に、図5に示すようにイレースゲート並びに消去窓形成用のフォトレジストパターン11を形成

する。このパターンは図5(b)に示すようにフローティングゲートを不完全に覆うパターンからなり、このパターンを用いて、フローティングゲート上の層間絶縁膜10を部分的にエッチング除去することにより、同図(b)に示されるように、フローティングゲート(FG)の側部及び上面の一部を露出させる。

【0015】次いで、図6に示すように、熱酸化膜又はHTO膜を形成することにより、フローティングゲート(FG)の露出した側面を消去用絶縁膜13で被覆する。ここで消去用絶縁膜13の厚みは、トンネリングを

生じるように他の層間絶縁膜や酸化膜に比して薄くされ、通常、350~400Åとするのが好ましい。

【0016】次いで、全面にコントロールゲート形成用のポリシリコン層12を形成し、不純物拡散(リン又は砒素)を行なう。この上にコントロールゲート用のフォトレジストパターン14を形成し、ポリシリコン層12を、ドライエッチング法により異方性エッチングに付すことにより、コントロールゲート(CG)をパターン形成すると同時に、同図(b)に示すように、フローティングゲート(FG)の側部に消去用絶縁膜13を介してイレースゲート15を自己整合的に残存形成する。かかる工程により、この発明のEEPROMのフローティングゲート、コントロールゲート及びイレースゲートが基本的に構成される。

【0017】そしてこの後、図8に示されるように、BPSGからなる絶縁膜16を堆積形成後、コンタクトホール18を穿設し、次いでメタル配線17を形成することにより、この発明のEEPROMを得た。

【0018】このようにして得られたこの発明のEEPROMは、イレースゲートがフローティングゲートの側部に自己整合的に著しく縮小形成されているため、高集積化が可能であり、製造もより簡便であった。そしてより具体的には、一つのEEPROM素子の専有面積を約70~85%減少できることが判った。

【0019】

【発明の効果】この発明によれば、イレースゲートの面積を減少化でき、その結果、EEPROMの高集積化、

高縮小化を簡便に達成することができる。

【図面の簡単な説明】

【図1】この発明のEEPROMの製造工程を示す説明図で、(a)は平面説明図、(b)はA-A'断面説明図、(c)はB-B'断面説明図である。

【図2】図1に続く製造工程を各々示すB-B'断面説明図である。

【図3】図2に続く製造工程を示す説明図で(a)は平面説明図、(b)はA-A'断面説明図、(c)はB-B'断面説明図である。

【図4】同じく図3に続く製造工程説明図である。

【図5】同じく図4に続く製造工程説明図である。

【図6】同じく図5に続く製造工程説明図である。

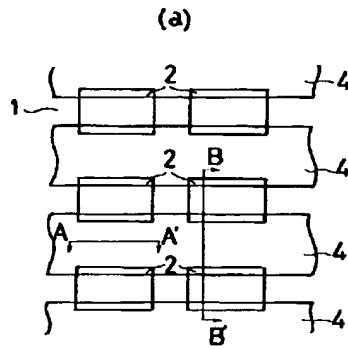
【図7】同じく図6に続く製造工程説明図である。

【図8】同じく図7に続く製造工程説明図である。

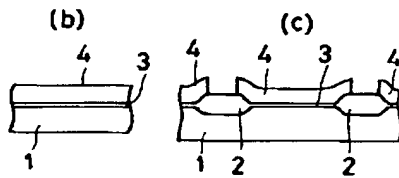
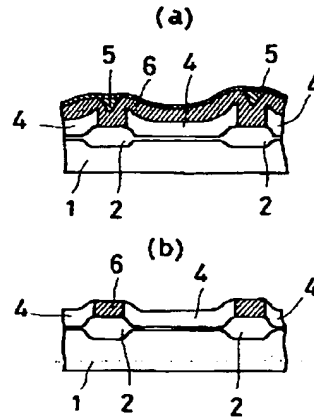
【符号の説明】

- | | |
|----|----------------------|
| 1 | 半導体基板 |
| 2 | フィールド酸化膜 |
| 3 | ゲート酸化膜 |
| 4 | ポリシリコンパターン |
| 5 | SOG膜 |
| 6 | HTO膜 |
| 7 | フローティングゲート形成用フォトレジスト |
| 8 | ソース |
| 9 | ドレイン |
| 10 | 層間絶縁膜 |
| 11 | フォトレジストパターン |
| 12 | ポリシリコン層 |
| 13 | 消去用絶縁膜 |
| 14 | フォトレジストパターン |
| 15 | イレースゲート |
| 16 | 絶縁膜 |
| 17 | メタル配線 |
| 18 | コンタクトホール |
| FG | フローティングゲート |
| CG | コントロールゲート |

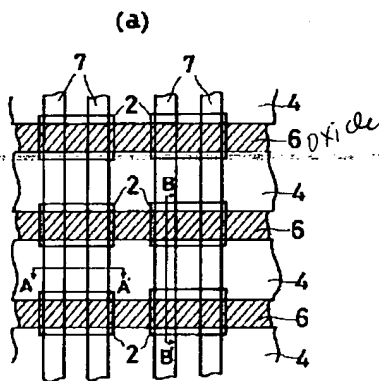
【図1】



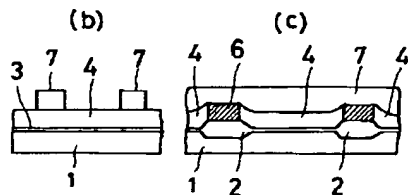
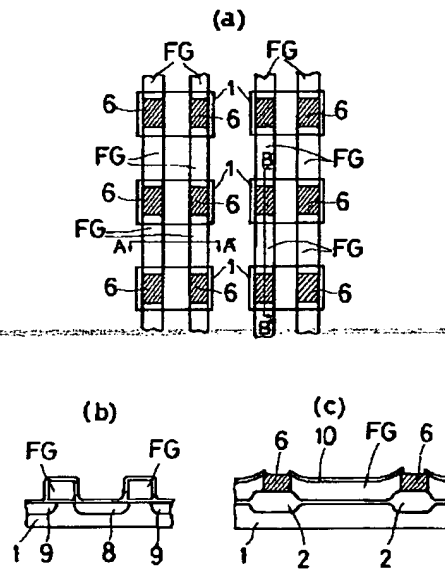
【図2】



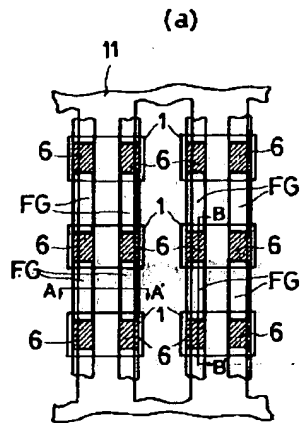
【図3】



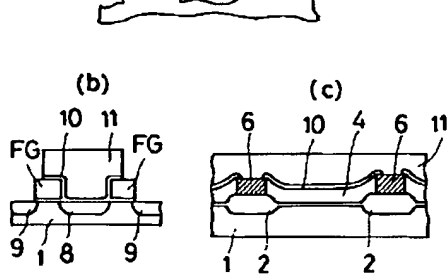
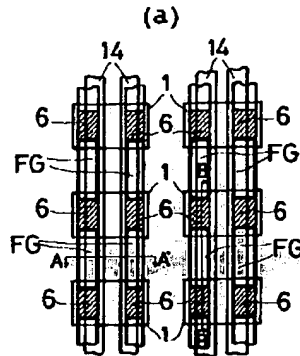
【図4】



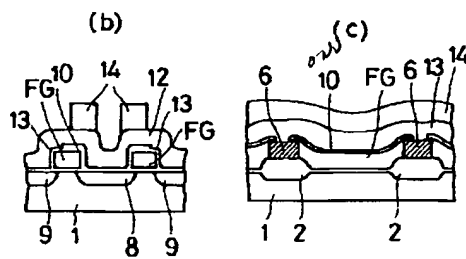
【図5】



【図6】



【図7】



【図8】

